



This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0070857
Application Number

출원 년 월 일 : 2002년 11월 14일
Date of Application NOV 14, 2002

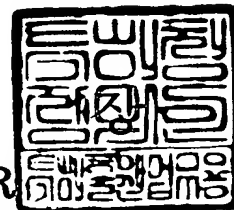
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 02 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.11.14
【발명의 명칭】	반도체 소자의 제조 방법
【발명의 영문명칭】	MANUFATURING METHOD FOR SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 아주(대표변리사 정은섭)
【대리인코드】	9-2001-100005-9
【지정된변리사】	정은섭
【포괄위임등록번호】	2001-071442-5
【발명자】	
【성명의 국문표기】	박원규
【성명의 영문표기】	PARK, Won Kyu
【주민등록번호】	700425-1929718
【우편번호】	706-011
【주소】	대구광역시 수성구 범어1동 효성맨션 B동 303호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 아주(대표변리사 정은섭) (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	2 면 2,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	4 항 237,000 원
【합계】	268,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히, 인을 불순물로써 주입하여 LDD 영역을 형성한 후에, 높은 농도의 As를 비트라인 컨택 영역 및 게이트 폴리에 주입하고, 다시 상기 비트라인 컨택 영역 및 게이트 폴리에 인을 주입함으로써, 상기 높은 농도의 As가 상기 두 차례에 걸쳐 주입된 인에 의해 둘러싸여지도록 할 수 있어서, 비트라인 컨택 및 데이터 경로의 저항을 낮게 유지할 수 있으면서도, 비트라인 컨택 정선의 높은 As 주입농도에 의한 누설전류 및 정선의 정전 용량(junction capacitance)을 현저히 낮출 수 있게 되므로, DRAM의 특성을 향상시킬 수 있는 동시에, MOS 캐퍼시터와 게이트 간의 공간을 줄임으로써, Tr-off 전류의 발생을 최소화할 수 있고, 캐퍼시터의 영역을 늘릴 수 있어서, 소자의 정전 용량을 증가시킬 수 있도록 하는 반도체 소자의 제조 방법에 관한 것이다.

【대표도】

도 2h

【색인어】

누설 전류, 정전 용량, 인, LDD

【명세서】

【발명의 명칭】

반도체 소자의 제조 방법 {MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1a 내지 도 1i는 종래 기술에 의한 MOS 캐퍼시터 디램의 제조 방법을 나타내는 공정 순서도이다.

도 2a 내지 도 2h는 본 발명에 의한 반도체 소자 제조 방법의 공정 순서를 나타낸 도면이다.

- 도면의 주요부분에 대한 부호의 설명 -

100 : 소자분리막	102 : P-웰
104 : 게이트 산화막	106 : 게이트 폴리
110 : 산화막	112 : LDD 영역
114 : 스페이서	120 : 티타늄
122 : 티타늄 실리사이드	124 : 층간절연막
126 : 비트라인	

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히, 인을 불순물로써 주입하여 LDD 영역을 형성한 후에, 높은 농도의 As를 비트라인 컨택 영역 및 게이트 폴리에 주입하고, 다시 상기 비트라인 컨택 영역 및 게이트 폴리에 인을 주입함으로써, 상기 높은 농도의 As가 상기 두 차례에 걸쳐 주입된 인에 의해 둘러싸여지도록 할 수 있어서, 비트라인 컨택 및 데이터 경로의 저항을 낮게 유지할 수 있으면서도, 비트라인 컨택 정선의 높은 As 주입농도에 의한 누설전류 및 정선의 정전 용량(junction capacitance)을 현저히 낮출 수 있게 되므로, DRAM의 특성을 향상시킬 수 있는 동시에, MOS 캐퍼시터와 게이트 간의 공간을 줄임으로써, Tr-off 전류의 발생을 최소화할 수 있고, 캐퍼시터의 영역을 늘릴 수 있어서, 소자의 정전 용량을 증가시킬 수 있도록 하는 반도체 소자의 제조 방법에 관한 것이다.

<11> 로직과의 집적을 위해 개발되는 MOS 캐퍼시터 디램은 데이터의 저장부 및 상기 데이터의 경로가 정선으로 이루어지게 된다. 그런데, 종래 기술에 의한 제조 방법에 따라 제조되는 상기 MOS 캐퍼시터 디램의 경우, 트랜지스터의 높은 전류를 확보하기 위하여, 불순물로써 사용되는 As의 주입량을 높게 유지하게 되는 바, 이에 따라, 비트라인 컨택 부분이나, 캐퍼시터와 게이트 전극 사이에는 높은 As농도를 가지는 정선이 형성되며, 이러한 정선에 포함되는 높은 As농도에 의하여, 누설 전류가 높게 되는 문제점이 발생하게 된다.

- <12> 특히, 상기 MOS 캐퍼시터 디램에 있어서 데이터의 경로 역할을 하는 캐퍼시터와 게이트 전극 사이의 정션 지역에 포함된 As농도가 높아지게 됨으로써, 소자가 오프된 상태에서 상기 캐퍼시터와 상기 데이터 경로의 역할을 하는 정션은 전기적으로 연결됨으로써 전류가 흐르게 되는 바, 이러한 Tr-off 전류가 높게 발생함으로써, 소자의 리프레쉬 특성이 악화되는 문제점이 발생할 수 있게 되는 것이다.
- <13> 이하, 첨부된 도면을 참고로 하여, 상기 종래 기술에 의한 반도체 소자의 제조 방법에서 나타나는 문제점을 더욱 상세히 설명하기로 한다.
- <14> 도 1a 내지 도 1i는 종래 기술에 의한 MOS 캐퍼시터 디램의 제조 방법을 나타내는 공정 순서도이다.
- <15> 상기 종래 기술에 의한 MOS 캐퍼시터 디램의 제조 방법에 따르면, 우선, 도 1a에서 볼 수 있는 바와 같이, STI(shallow trench isolation) 공정에 따라, 소자 분리막(1)을 형성한 후, MOS 캐퍼시터 및 트랜지스터의 형성을 위한 p-웰(2)을 형성하게 된다. 이후, 도 1b에서 볼 수 있는 바와 같이, 상기 소자 분리막(1) 및 p-웰(2)이 형성된 반도체 기판의 상부에 게이트 산화막(3)을 성장시키게 되며, 상기 형성된 게이트 산화막(3)의 상부에 게이트 폴리(4)를 증착하게 된다.
- <16> 그리고 나서, 도 1c에서 볼 수 있는 바와 같이, 상기 게이트 폴리(4)가 증착된 결과물에 대하여, 포토레지스트를 사용한 사진 식각공정을 진행하여 트랜지스터의 게이트 전극 영역 및 MOS 캐퍼시터 영역이 정의되도록 포토레지스트 패턴(5)을 형성한 다음, 이를 이용하여 건식 식각 공정을 진행함으로써, 트랜지스터의 게이트 전극 및 MOS 캐퍼시터를 형성하게 된다. 이 때, 상기 게이트 전극과 MOS 캐퍼시터 사이의 공간은 최종 형성된 소자에서 데이터 경로의 역할을 하는 정션이 형성되며, 추후 공정에서 이러한 데이터

경로의 저항을 낮추기 위하여, 높은 농도의 As를 불순물로써 주입하고, 티타늄 실리사이드를 형성하는 공정을 진행하게 되는 바, 이러한 공정의 편이성을 위하여, 상기 게이트 전극과 MOS 캐퍼시터 사이의 공간은 약 $0.42\mu\text{m}$ 로 정의된다.

<17> 상기 캐퍼시터의 영역을 정의하는 공정을 진행하는 후에는, 첨부한 도 1d에서 볼 수 있는 바와 같이, 상기 게이트 폴리에 대해 산화 공정을 진행함으로써, 상기 게이트 폴리 상부에 산화막(6)을 성장시키고, 최종 형성되는 트랜지스터의 전류를 높이기 위해, 상기 게이트 전극과 캐퍼시터 사이 및 게이트 전극 간의 사이에 있는 실리콘 기판에 As를 불순물로써 주입하여 LDD 영역(7)을 형성하게 된다. 이 때, 트랜지스터의 전류를 높이기 위하여, 상기 불순물로써 주입되는 As의 주입 농도를 높게 유지하게 되는 바, 이로 인하여, 트랜지스터가 오프된 상태에서도 캐퍼시터와 상기 불순물로써 As가 주입된 정션 영역이 전기적으로 연결됨으로써 전류가 흐르게 되며, 이러한 Tr-off 전류의 발생으로 인하여, 소자의 리프레쉬 특성이 저하되는 것이다. 더구나, 상기 불순물로써 주입된 As의 농도가 높아서, 높은 누설 전류가 발생하게 되며, As가 주입된 상기 게이트 전극 간의 비트라인 컨택 정션의 정전 용량이 높아지게 되는 바, 이러한 누설 전류 및 정션의 높은 정전 용량으로 인하여, 소자의 특성이 저하될 수 있다.

<18> 한편, 상기 불순물을 주입하는 공정을 진행한 다음에는 도 1e에서 볼 수 있는 바와 같이, 상기 게이트 전극 및 캐퍼시터의 측벽에 HLD 산화막을 1900Å의 두

게로 증착하고, 건식 식각 공정을 통해 스페이서 식각을 진행함으로써, 상기 게이트 전극 및 캐퍼시터의 측벽에 스페이서(8)를 형성하게 된다. 이후, 도 1f에서 볼 수 있는 바와 같이, 상기 스페이서(8)가 형성된 결과물의 전 표면에 대해 높은 농도의 As를 불순물로서 주입하는 공정을 진행하게 되며, 이에 따라, 상기 캐퍼시터 및 게이트 전극을 정의하는 게이트 폴리(10), 상기 게이트 전극 간의 비트라인 콘택 부와 캐퍼시터 및 게이트 전극 사이의 활성부를 도핑하게 된다.

<19> 즉, 상기 공정에 있어서, 스페이서(8)가 형성된 결과물의 전 표면에 대해 높은 농도의 As를 1회 더 주입하게 되는 바, 이러한 두 번째의 불순물 주입 공정에 따라, 상기 각 정션부에 주입되는 As의 농도는 더욱 높아지게 되며, 이에 따라, 비트라인 콘택 정션의 정전 용량은 더욱 높아지게 되고, 또한, 누설 전류 및 Tr-off 전류 역시 더욱 크게 발생하게 되는 것이다.

<20> 다음으로, 상기 도 1g에서 볼 수 있는 바와 같이, 상기 도핑된 결과물에 고온의 RTP(rapid thermal process) 공정을 적용하여 활성화시킨 후, 상기 활성화된 결과물의 전 표면부에 티타늄(11)을 증착한다. 상기 티타늄(11)은 추후 공정에서 티타늄 실리사이드를 형성하기 위한 것이다. 이 때, 상기와 같은 As의 주입 공정에 의하여, 상기 게이트 전극 간의 비트라인 콘택부 및 캐퍼시터와 게이트 전극 간의 공간에는 정션(9)이 형성되는 바, 이러한 정션부의 높은 As 농도에 따라, 상기 정션(9)의 정전 용량이 높아지게 되며, 누설 전류가 크게 발생하게 되는 것이다.

<21> 상기 티타늄(11)을 증착한 후에는 첨부한 도 1h에서 볼 수 있는 바와 같이, 상기 티타늄(11)이 증착된 결과물에 대해 다시 한번 RTP 공정을 적용함으로써, 스

페이서(8) 산화막이 형성된 지역을 제외한 게이트 폴리, 비트라인 콘택 정션 영역 및 캐퍼시터와 게이트 전극 간의 정션에 티타늄 실리사이드(12)를 성장시키게 되며, 이후, 도 1i에서 볼 수 있는 바와 같이, 층간 절연막(13)을 형성한 다음, 비트라인 콘택 및 비트라인(14)을 형성하고, MOS 캐퍼시터의 바이어스 콘택(bias contact)을 형성함으로써, 최종적으로 MOS 캐퍼시터 디램을 형성하게 되는 것이다.

<22> 즉, 상기 종래 기술에 의한 반도체 소자의 제조 방법에 따르면, 상기 도 1i에서 볼 수 있는 바와 같이, 데이터 경로의 역할을 하는 캐퍼시터와 게이트 전극 간의 정션(15) 영역에 높은 농도의 As가 주입되므로, 상기 높은 농도의 As로 인하여, 트랜지스터가 오프된 상태에서도 캐퍼시터와 상기 정션이 전기적으로 연결됨으로써, 높은 Tr-off 전류가 발생하게 되며, 또한, 상기 게이트 전극 간의 비트라인 콘택 정션 영역의 정전 용량이 커지게 되므로, 센싱 볼티지(sensing voltage) 낮아지게 되고, 이에 따라, 소자의 특성을 저하시킬 수 있게 되는 것이다.

<23> 결론적으로, 상기 종래 기술에 의한 반도체 소자의 제조 방법은 각 정션 지역의 높은 As농도로 인하여, 비교적 높은 누설 전류 및 정션의 정전 용량이 발생하는 문제점이 있었던 것이 사실이며, 이에 따라, 소자의 리프레쉬 특성이 저하되는 문제점이 크게 발생하였다.

【발명이 이루고자 하는 기술적 과제】

<24> 이에 본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여, 비트라인 콘택 및 데이터 경로의 저항을 낮게 유지할 수 있으면서도, 게이트 전극의 사이

및 게이트 전극과 MOS 캐퍼시터 사이에 형성되는 정선의 높은 As 주입 농도에 의한 누설 전류 및 정선의 정전 용량을 현저히 낮출 수 있어서, 최종 제조되는 소자의 특성을 향상시킬 수 있는 동시에, 캐퍼시터와 게이트 간의 공간을 줄임으로써, Tr-off 전류의 발생을 최소화할 수 있고, 캐퍼시터의 영역을 늘릴 수 있어서, 소자의 정전 용량을 증가시킬 수 있도록 하는 반도체 소자의 제조 방법을 제공하는데 목적이 있다.

【발명의 구성 및 작용】

<25> 이에 본 발명은 상기의 목적을 달성하기 위하여, 게이트 산화막 및 게이트 폴리가 증착된 반도체 기판에 대해 사진 식각 공정을 적용하여, 게이트 전극 영역과 캐퍼시터 영역 간의 거리가 추후에 형성될 스페이서 두께의 2배보다 작게 되도록 상기 게이트 전극 및 캐퍼시터의 영역을 정의하는 단계; 상기 게이트 폴리 상부에 산화막을 성장시키고, 인(P)을 불순물로써 사용하여 LDD 영역을 정의하는 단계; 상기 게이트 전극 및 캐퍼시터의 영역이 정의된 게이트 산화막 및 게이트 폴리의 측벽에 산화막을 증착하고 식각하여, 스페이서를 형성하는 단계; 상기 스페이서가 형성된 결과물의 표면에 대해 높은 농도의 As를 주입하여, 상기 게이트 전극 간에 형성되는 비트라인 컨택 정선 및 게이트 폴리의 표면에 높은 농도의 As를 주입하는 단계; 및 상기 As가 주입된 영역을 감싸도록 상기 인(P)을 불순물로써 주입하는 단계를 포함하여 구성되는 반도체 소자의 제조 방법을 제공한다.

<26> 즉, 상기 본 발명에 의한 게이트 전극과 캐퍼시터의 거리가 스페이서 두께의 두배보다 작게 되는 바, 추후 공정에서 상기 게이트 전극과 캐퍼시터의 측벽에 산화막을 증착하고, 이를 식각함으로써, 스페이서를 형성하면, 상기 게이트 전극과 캐퍼시터 사이의

영역은 산화막으로 채워지게 되므로, 이후에 높은 농도의 As를 주입하는 공정을 진행하더라도, 상기 게이트 전극 및 캐퍼시터 사이에는 As가 주입되지 않으므로, 높은 농도의 As로 인하여 발생하는 Tr-off 전류의 문제점을 최소화할 수 있으며, 또한, 비트라인 컨택 정션부에 주입된 As가 상기 두 차례에 걸쳐 주입된 인에 의하여 둘러싸여지므로, 상기 As의 높은 농도로 인한 정션부의 정전 용량 및 누설 전류를 최소화할 수 있게 된다.

<27> 상기 본 발명에 의한 반도체 소자의 제조 방법에 있어서, 상기 LDD 영역을 정의하는 단계는 5×10^{13} 원자/cm²의 농도의 인을 약 200Å의 깊이로 주입함으로써 진행하게 되며, 상기 As가 주입된 영역을 감싸도록 상기 인을 불순물로써 주입하는 단계는 5×10^{13} 원자/cm²의 농도의 인을 약 600Å의 깊이로 주입함으로써 진행하게 된다. 이에 따라, 약 400Å의 깊이로 주입되는 높은 농도의 As는 상기 두 차례에 걸쳐 주입된 인에 의하여, 둘러싸여지게 되는 바, 높은 농도의 As로 인한 누설 전류 및 정션부의 정전 용량을 최소화할 수 있게 되는 것이다.

<28> 또한, 상기 본 발명에 의한 반도체 소자의 제조 방법에 있어서, 상기 게이트 전극 영역과 캐퍼시터 영역 간의 거리는 0.26μm이하로 함이 바람직하다. 이러한 거리로 상기 게이트 전극 및 캐퍼시터 영역을 정의함으로써, 상기 캐퍼시터와 게이트 전극의 사이 공간이 산화막으로 완전히 매립되도록 할 수 있고, 이에 따라, 이후에 높은 농도의 As를 주입하는 공정을 진행하더라도, 상기 게이트 전극 및 캐퍼시터 사이에는 As가 주입되지 않으므로, Tr-off 전류의 문제점을 최소화할 수 있게 되는 것이다.

<29> 이하, 첨부한 도면을 참고로, 본 발명에 의한 반도체 소자의 제조 방법의 일례를 상세히 설명하기로 한다. 다만, 본 발명의 권리 범위가 이에 한하여 정해지는 것은 아니며, 다만, 하나의 예시으로써 제시된 것이다.

- <30> 도 2a 내지 도 2h는 본 발명에 의한 반도체 소자 제조 방법의 공정 순서를 나타낸 도면이다.
- <31> 상기 본 발명에 의한 제조 방법에 따르면, 우선, 종래 기술과 마찬가지로 방법으로 소자 분리막(100), p-웰(102), 게이트 산화막(104) 및 게이트 폴리(106)를 순차적으로 형성하고 나서, 도 2a에서 볼 수 있는 바와 같이, 상기 게이트 폴리(106)가 증착된 결과물에 대하여, 포토레지스트를 사용한 사진 식각공정을 진행하여 트랜지스터의 게이트 전극 및 MOS 캐패시터의 영역을 정의되도록 포토레지스트 패턴(108)을 형성한 다음, 이를 식각마스크로 건식 식각공정을 진행하여 게이트 전극 및 MOS 캐패시터를 형성하게 된다. 이 때, 상기 게이트 전극과 MOS 캐패시터 사이의 거리는 이후에 형성될 스페이서 두께의 두 배 이하가 되도록 하되, 사진 식각 및 건식 식각에서 안정적으로 구현할 수 있는 가장 작은 거리, 예를 들어, $0.26\mu\text{m}$ 로 형성하게 된다.
- <32> 즉, 상기의 공정에 있어서, 게이트 전극과 캐패시터 사이의 거리가 이후에 형성될 스페이서 두께의 두 배 이하가 되도록 함으로써, 추후에 상기 게이트 전극 및 캐패시터의 측벽에 산화막을 증착하여 스페이서를 형성하게 되면, 상기 게이트 전극과 캐패시터 사이의 공간은 산화막으로 완전히 매립되게 되며, 이에 따라, 높은 농도의 As를 주입하는 공정을 진행하더라도, 상기 게이트 전극과 캐패시터 사이에는 As가 주입되지 않도록 할 수 있는 것이다.
- <33> 상기 게이트 전극과 캐패시터를 형성한 후에는, 도 2b에서 볼 수 있는 바와 같이, 상기 게이트 폴리(106)에 대해 산화 공정을 진행함으로써, 상기 게이트 폴리(106) 상부에 산화막(110)을 성장시키고, 최종 형성되는 트랜지스터의 전류를 높이기 위해, 상기 게이트 전극과 캐패시터 사이 및 게이트 전극 간의 사이에 있는 실리콘 기판에 약 200\AA

의 깊이로 5×10^{13} 원자/cm²의 농도의 인을 불순물로써 주입하여 LDD 영역(112)을 형성하게 된다. 인은 후속 열공정에 대해 높은 확산 특성을 가지고 있으므로, 15KeV의 낮은 에너지로 인을 주입함으로써, 트랜지스터 펀치의 발생을 억제할 수 있으며, 이 때 높은 확산으로 인하여, 인의 주입 깊이가 깊어지게 되어, 데이터 경로의 면저항이 낮아진다. 또한, 인의 저농도에 의하여, 정선부의 정전 용량이 낮아질 수 있게 되는 바, 캐퍼시터에서의 기생 캐퍼시턴스 성분이 감소하여, 전압 종속 특성을 향상시킬 수 있다.

<34> 상기 LDD 영역(112)을 형성하는 공정을 진행하고 나서, 도 2c에서 볼 수 있는 바와 같이, 상기 게이트 전극 및 캐퍼시터의 측벽에 HLD 산화막을 1900Å의 두께로 증착하고, 건식 식각 공정을 통해 스페이서 식각을 진행함으로써, 상기 게이트 전극 및 캐퍼시터의 측벽에 스페이서(114)를 형성하게 된다. 이와 같은 공정을 진행하면, 상기한 바와 같이, 0.26μm로 정의된 게이트 전극과 캐퍼시터 사이의 공간은 HLD 산화막으로 매립되며, 이에 따라, 이후에 높은 농도의 As를 주입하는 공정을 진행하더라도, 상기 게이트 전극과 캐퍼시터 사이의 공간은 이러한 주입 공정의 영향을 받지 않게 된다. 이 때문에, 상기 게이트 전극과 캐퍼시터 사이의 높은 As 농도로 인하여 종래 기술에서 발생하는 Tr-off 전류가 최소화될 수 있게 되는 것이다.

<35> 상기 스페이서(114)를 형성하는 공정을 진행한 다음에는 도 2d에서 볼 수 있는 바와 같이, 상기 스페이서(114)가 형성된 결과물의 전 표면에 대해 약 400Å 깊이로 높은 농도의 As를 불순물로써 주입하는 공정을 진행하게 되며, 이에 따라, 상기 캐퍼시터 및 게이트 전극의 영역을 정의하는 게이트 폴리(106), 상기 게이트 전극 간의 비트라인 콘택 부(116)를 도핑하게 된다.

<36> 다음으로, 도 2e에서 볼 수 있는 바와 같이, 상기 As가 주입된 영역을 감싸도록 상기 5×10^{13} 원자/cm²의 농도의 인을 약 600 Å의 깊이로 주입한다. 그 결과, 게이트 전극 사이의 비트라인 콘택 정션부 영역에서 추후에 형성될 티타늄 실리사이드와 콘택이 접촉되는 부분(118)에는 높은 농도의 As가 주입되게 되며, 이러한 As가 주입된 지역은 상기 두 차례에 걸쳐 주입된 인에 의하여, 둘러싸여지게 된다. 이에 따라, 상기 높은 농도의 As로 인한, 누설 전류가 제거될 수 있으며, 또한, 정션부의 경계면에는 낮은 농도로 도핑된 인에 의한 계면이 형성되므로, 정션의 정전 용량 역시 현저히 낮아지게 된다. 또한, 본 발명에 따르면, 캐퍼시터와 게이트 전극 간의 영역은 산화막에 의하여 완전히 매립되므로, 높은 농도의 As가 침투하지 못하게 되며, Tr-off 전류 및 누설 전류가 최소화될 수 있다.

<37> 한편, 상기 인을 주입하는 공정을 진행하고 나서, 도 2f에서 볼 수 있는 바와 같이, 상기 도핑된 결과물에 고온의 RTP(rapid thermal process) 공정을 적용하여 활성화시킨 후, 상기 활성화된 결과물의 전 표면부에 티타늄(120)을 증착한다. 상기 티타늄(120)은 추후 공정에서 티타늄 실리사이드를 형성하기 위한 것이다. 이후, 첨부한 도 2g에서 볼 수 있는 바와 같이, 상기 티타늄(120)이 증착된 결과물에 대해 다시 한번 RTP 공정을 적용함으로써, 스페이서(114) 산화막이 형성된 지역을 제외한 게이트 폴리(106) 및 비트라인 콘택 정션 영역(118)에 티타늄 실리사이드(122)를 성장시키게 되며, 다음으로, 도 2h에서 볼 수 있는 바와 같이, 층간 절연막(124)을 형성하고, 비트라인 콘택 및 비트라인(126)을 형성한 후, MOS 캐퍼시터의 바이어스 콘택(bias contact)을 형성함으로써, 최종적으로 MOS 캐퍼시터 디램을 형성하게 되는 것이다.

【발명의 효과】

<38> 따라서, 본 발명에 의한 반도체 소자의 제조 방법에 따르면, 비트라인 컨택 및 데이터 경로의 저항을 낮게 유지할 수 있으면서도, 높은 농도의 As로 인한 누설 전류 및 정션 영역의 정전 용량을 최소화할 수 있으며, 또한, 게이트 전극과 캐퍼시터 사이의 Tr-off 전류를 최소화할 수 있다.

<39> 이에 따라, 상기 본 발명의 제조 방법에 따르면, 최종 생성된 DRAM의 특성을 현저히 향상시킬 수 있게 되며, 더구나, 게이트 전극과 캐퍼시터 사이 공간을 최소화함으로써, 캐퍼시터 영역을 더욱 높힐 수 있어서, 소자의 정전 용량을 증가시키는 효과 또한 가질 수 있다.

【특허청구범위】**【청구항 1】**

게이트 산화막 및 게이트 폴리가 증착된 반도체 기판에 대해 사진 식각 공정을 적용하여, 게이트 전극 영역과 캐퍼시터 영역 간의 거리가 추후에 형성될 스페이서 두께의 2배보다 작게 되도록 상기 게이트 전극 및 캐퍼시터의 영역을 정의하는 단계;

상기 게이트 폴리 상부에 산화막을 성장시키고, 인(P)을 불순물로써 사용하여 LDD 영역을 정의하는 단계;

상기 게이트 전극 및 캐퍼시터의 영역이 정의된 게이트 산화막 및 게이트 폴리의 측벽에 산화막을 증착하고 식각하여, 스페이서를 형성하는 단계;

상기 스페이서가 형성된 결과물의 표면에 대해 높은 농도의 As를 주입하여, 상기 게이트 전극 간에 형성되는 비트라인 컨택 정션 및 게이트 폴리의 표면에 높은 농도의 As를 주입하는 단계; 및

상기 As가 주입된 영역을 감싸도록 상기 인(P)을 불순물로써 주입하는 단계를 포함하여 구성되는 반도체 소자의 제조 방법.

【청구항 2】

제 1 항에 있어서, 상기 LDD 영역을 정의하는 단계는 5×10^{13} 원자/cm²의 농도의 인을 약 200Å의 깊이로 주입함으로써 진행하게 됨을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 3】

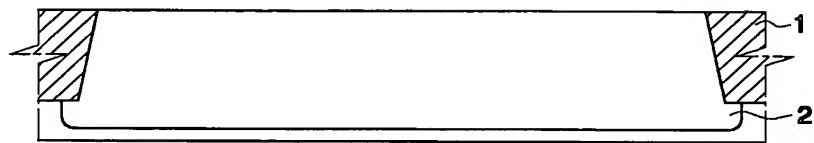
제 2 항에 있어서, 상기 As가 주입된 영역을 감싸도록 상기 인을 불순물로써 주입하는 단계는 5×10^{13} 원자/cm²의 농도의 인을 약 600Å의 깊이로 주입함으로써 진행하게 됨을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 4】

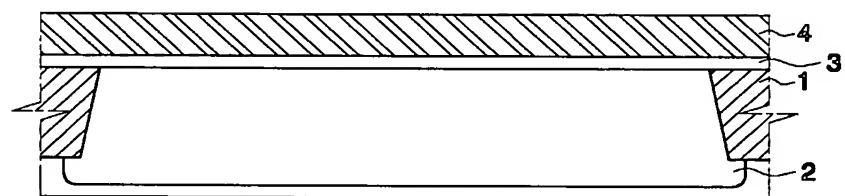
제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 게이트 전극 영역과 캐퍼시터 영역 간의 거리는 0.26μm이하로 함을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

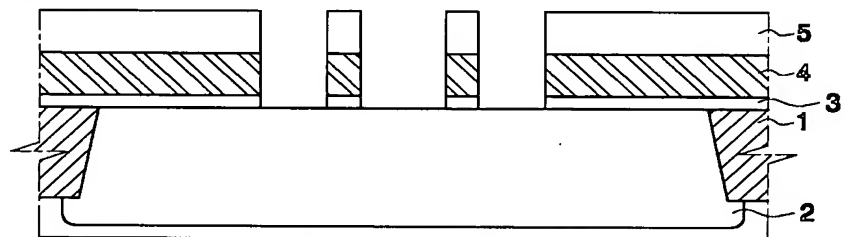
【도 1a】



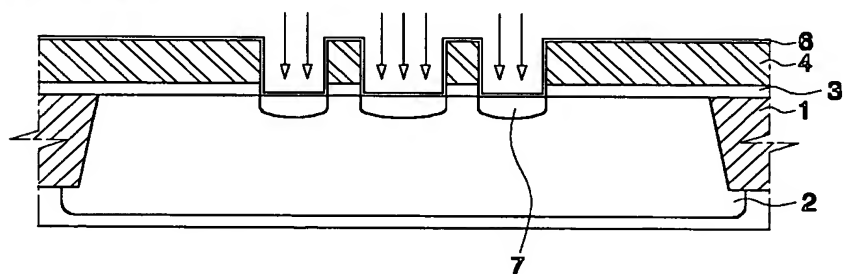
【도 1b】



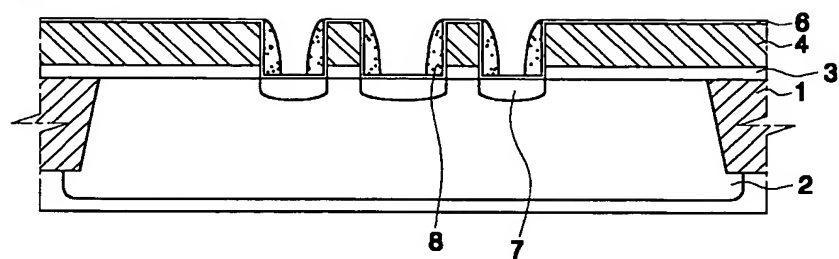
【도 1c】



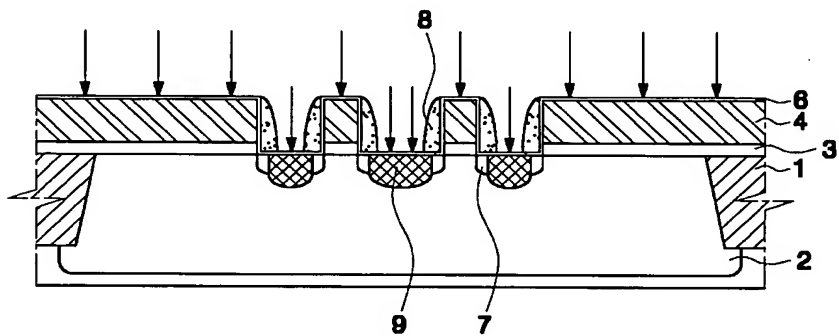
【도 1d】



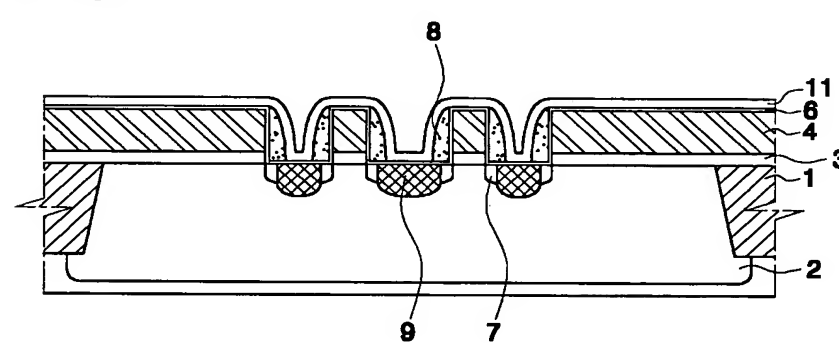
【도 1e】



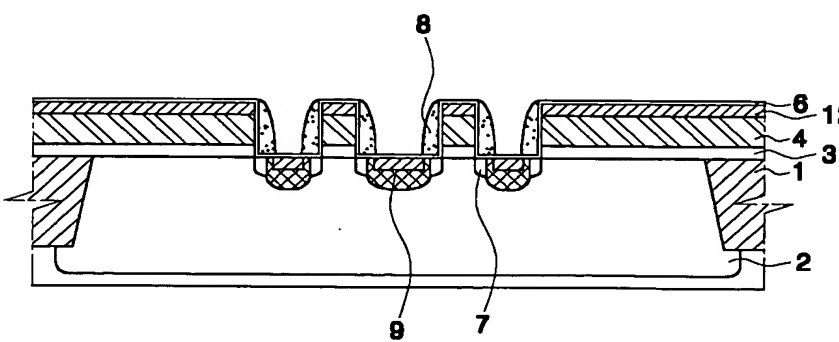
【도 1f】



【도 1g】



【도 1h】

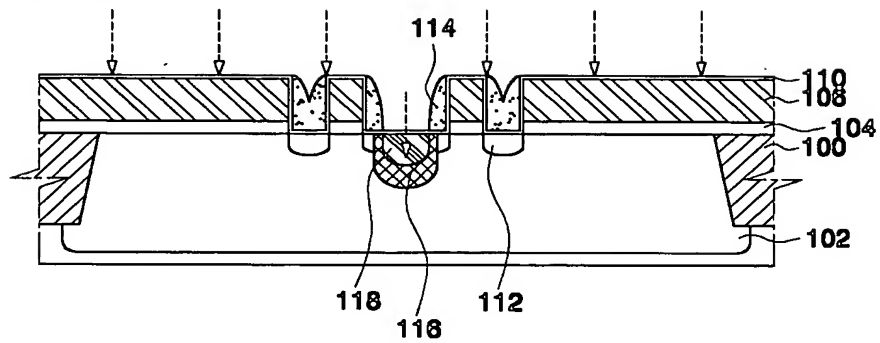


[illegible]

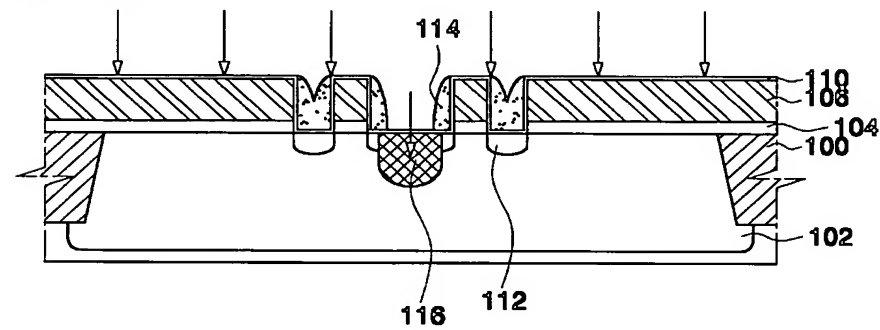
A cross-sectional view of a semiconductor device. It features a substrate 100 with a trench 102. A layer 104 is deposited on the substrate. A patterned layer 108 is on top of 104, with openings 110. Arrows indicate light or particles entering through these openings. A layer 112 is located at the bottom of the trench 102.



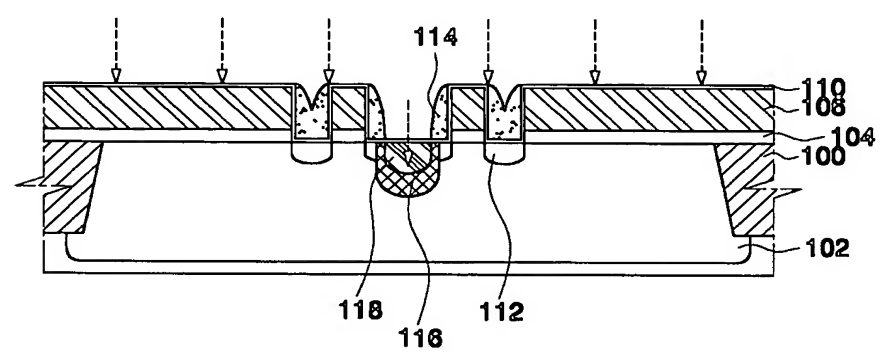
【도 2c】



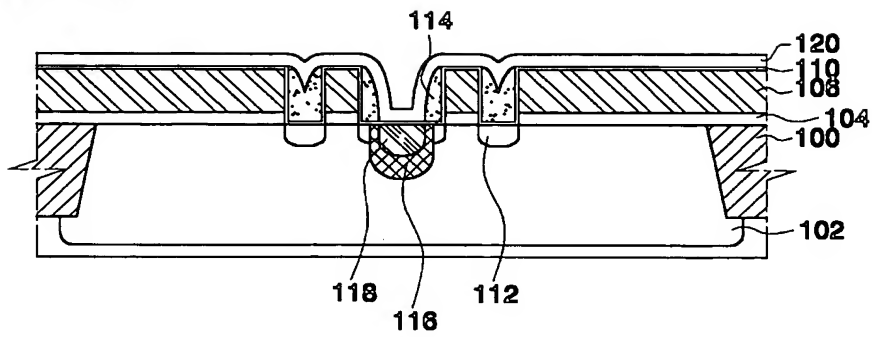
【도 2d】



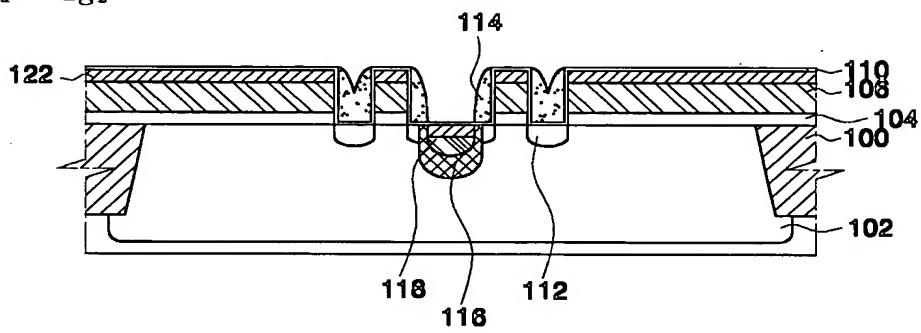
【도 2e】



【도 2f】



【도 2g】



【도 2h】

